

7206V10 硬件设计

用户指南

文档版本 V1.2

发布日期 2025-12-18

前言

概述

本文档主要介绍 7206V10 芯片硬件原理图设计、PCB 设计的要求与建议。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
7206	V10

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	表示如不可避免则将会导致死亡或严重伤害的具有高等级风险的危害。

符号	说明
 警告	表示如不避免则可能导致死亡或严重伤害的具有中等级风险的危害。
 注意	表示如不避免则可能导致轻微或中度伤害的具有低等级风险的危害。
须知	用于传递设备或环境安全警示信息。如不避免则可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “须知”不涉及人身伤害。
 说明	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

修订记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2025-07-09	V1.0	初始版本。
2025-08-22	V1.1	1. 修订电源纹波约束，详见 1.2.2 和 1.2.3 章节。 2. 修订上电时序约束，详见 1.2.6 章节。 3. 修订 SD 卡电路设计，详见 1.3.2 章节。 4. 修订单端单麦输入说明，详见 1.3.7 章节。 5. 补充 RTC 晶振说明，详见 1.3.8 章节。 6. 更新 PMC 管脚功能说明，详见 1.3.9 章节。 7. 更新 PMC 管脚复用功能说明，详见 1.4 章节。
2025-12-18	V1.2	1. 修订外供晶体时钟的应用说明，详见 1.1.1 章节。 2. 修订 3.3V 电源纹波噪声约束，详见 1.2.2 章节。 3. 修订 Vbat 功耗数据，详见 1.3.8 章节。 4. 补充 LSADC 不防倒灌说明，详见 1.3.10 章节。

修订日期	版本	修订说明
		5. 修订 PMC 复用的 GPIO 说明，详见 1.4 章节。

目 录

前 言	i
1 原理图设计建议	1
1.1 小系统设计	1
1.1.1 Clocking 电路	1
1.1.2 JTAG Debug 接口	2
1.1.3 硬件初始化系统配置电路	4
1.1.4 FLASH 电路设计	5
1.1.4.1 接口介绍	5
1.1.4.2 信号处理	5
1.2 电源设计	9
1.2.1 CORE 电源设计	10
1.2.2 IO 电源设计	10
1.2.3 DDR 电源设计	10
1.2.4 PLL 电源设计	11
1.2.5 常电区电源设计	11
1.2.6 上下电时序	11
1.2.7 SVB 调压	11
1.3 外围接口设计建议	13
1.3.1 百兆网络接口 (FE 接口)	13
1.3.2 SDIO 接口设计	13
1.3.3 USB 接口设计	14
1.3.4 MIPI RX 接口设计	14
1.3.5 Sensor 配置接口设计	15
1.3.6 Video Output 接口设计	16

1.3.7 音频接口设计	17
1.3.7.1 模拟音频输入接口设计	17
1.3.7.2 数字音频接口设计	18
1.3.8 RTC 设计	18
1.3.9 PMC 电路设计	19
1.3.9.1 接口介绍	19
1.3.9.2 待机场景下 RTC&PMC 的电源方案	20
1.3.10 LSADC 接口	21
1.3.11 SPI、I2C 接口	21
1.3.12 PWM 接口	21
1.3.13 UART 接口	21
1.4 IO 特殊说明	22
2 PCB 设计建议	23
2.1 层叠和布局	23
2.1.1 层叠	23
2.1.2 单板布局	23
2.2 小系统 PCB 设计	23
2.2.1 小系统电源	23
2.2.2 晶体电路设计	24
2.2.3 DDR 信号设计	24
2.2.4 Flash 设计	24
2.3 典型外围接口 PCB 设计建议	25
2.3.1 FE 接口设计	25
2.3.2 SDIO 接口设计	26
2.3.3 USB 接口设计	26
2.3.4 MIPI RX	26
2.3.5 Video Output 接口设计	27
2.3.6 音频接口设计	27
2.3.6.1 音频输入接口	27
2.3.6.2 音频输出接口	27

插图目录

图 1-1 晶体振荡电路	1
图 1-2 RTC 晶体振荡电路	2
图 1-3 JTAG 仿真器电平和 SOC 的 JTAG 电平一致时的 JTAG 连接方式	3
图 1-4 JTAG 仿真器电平和 SOC 的 JTAG 电平不一致时的 JTAG 连接方式	4
图 1-5 SPI FLASH 4 线模式连接示意图	6
图 1-6 SPI FLASH 1 线模式加外部复位连接示意图	7
图 1-7 4 线 eMMC 连接示意图	8
图 1-8 8 线 eMMC 连接示意图	9
图 1-9 上电时序图	11
图 1-10 电源调压示意图	12
图 1-11 Sensor 配置接口接法	16
图 1-12 MIC 单端输入电路	17
图 1-13 I2S 主模式连接方式	18
图 1-14 I2S 从模式连接方式	18

表格目录

表 1-1 JTAG 接口信号	2
表 1-2 工作模式及配置说明	4
表 1-3 SPI FLASH 4 线模式匹配设计方法.....	5
表 1-4 SPI FLASH 1 线模式加外部复位匹配设计方法.....	6
表 1-5 4 线 eMMC 设计方法	7
表 1-6 8 线 eMMC 设计方法	8
表 1-7 VDD SVB 调压 RC 参数表 1 (DVDD3318_FLASH_SDIO0 供电电压为 3.3V)	12
表 1-8 VDD SVB 调压 RC 参数表 2 (DVDD3318_FLASH_SDIO0 供电电压为 1.8V)	13
表 1-9 SDIO 接口匹配设计推荐	14
表 1-10 MIPI RX 输入	15
表 1-11 Sensor 配置接口设计	16
表 1-12 AVDD_BAT 电流	19
表 1-13 PMC 管脚功能说明	19
表 1-14 不同待机工作状态下 RTC 和 PMC 电源方案	20

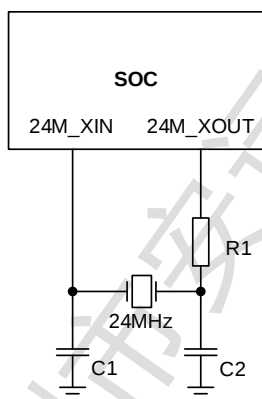
1 原理图设计建议

1.1 小系统设计

1.1.1 Clocking 电路

通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟电路，晶体连接方式及器件参数如图 1-1 所示。

图1-1 晶体振荡电路



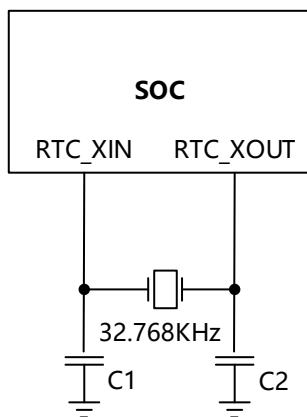
晶体电路阻容值如下：

- R1=0Ω（建议预留，不影响启动，与晶体选型相关，设置不当会影响晶体寿命）
- C1=C2=18pF（与晶体选型相关，当前参考设计选用的晶体 CL 值为 12pF）。

24M 晶体选型约束：晶体 CL 值≤20pF。

SOC 内置 RTC，需要单板给 RTC 提供时钟电路，晶体连接方式及器件参数如图 1-2 所示。

图1-2 RTC 晶体振荡电路



晶体电路阻容值如下：

C1=C2=22pF（与晶体选型相关，当前参考设计选用的晶体 CL 值为 12.5pF）。

RTC 晶体选型约束：CL 值 $\leq$ 15pF。

须知

- 晶电路中的电容取值需要与实际使用的晶体负载电容相匹配，满足 24MHz 频偏 30ppm 以内；晶体选型需满足选型约束要求。
- 晶体自身负载电容需与外部对地电容以及 PCB 走线负载电容匹配。
- 系统 24Mhz 时钟或者 RTC 时钟使用有源晶体时，从管脚 XIN 或者 RTC_XIN 输入，管脚 XOUT 或者 RTC_XOUT 悬空。
- RTC 时钟同时给 PMC 提供时钟，如果 PMC 模块所有信号功能（包括复用功能）都不使用，32.768KHz 晶体才能省略！

1.1.2 JTAG Debug 接口

SOC 支持 1 个 JTAG 接口，用于调试芯片。JTAG 接口信号描述如表 1-1 所示。

表1-1 JTAG 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，外接 1K 下拉电阻。

信号名	信号描述
TDI	JTAG 数据输入，外接 4.7K 上拉电阻。
TMS	JTAG 模式选择输入，外接 4.7K 上拉电阻。
TRSTN	JTAG 复位输入，外接 10K 下拉电阻。
TDO	JTAG 数据输出，外接 4.7K 上拉电阻。

JTAG 连接方式及标准连接器管脚定义如图 1-3、图 1-4 所示。

图1-3 JTAG 仿真器电平和 SOC 的 JTAG 电平一致时的 JTAG 连接方式

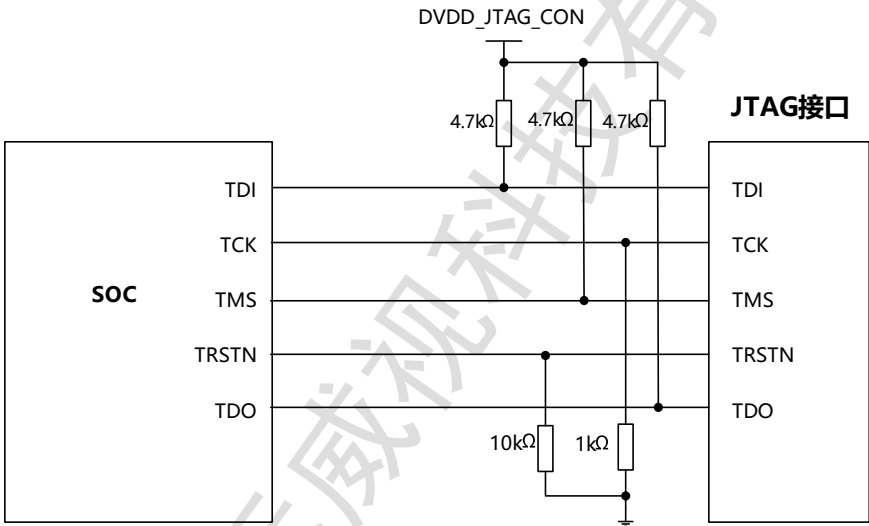
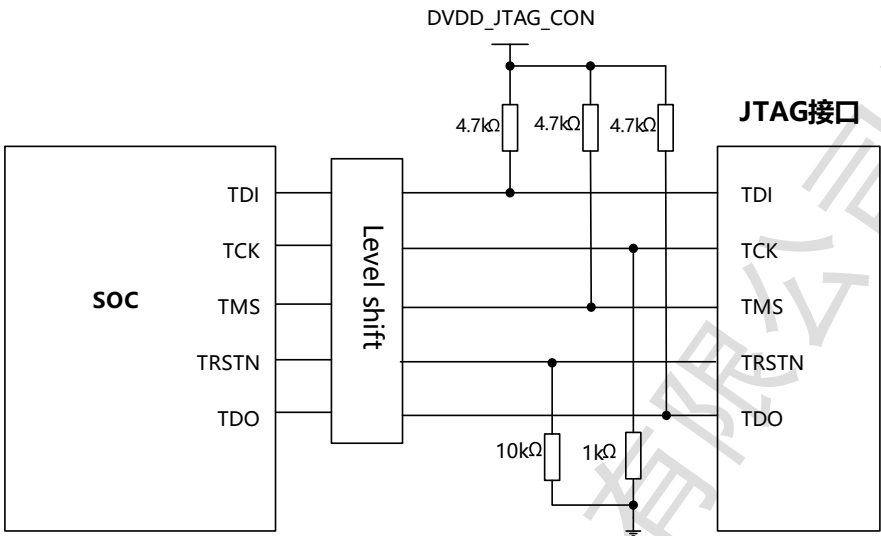


图1-4 JTAG 仿真器电平和 SOC 的 JTAG 电平不一致时的 JTAG 连接方式



注：DVDD_JTAG_CON 为仿真器工作的电平，由使用的仿真器决定。

须知

JTAG 管脚和 JTAG 仿真器电平不一致时，需要设计电平转换电路，进行电平适配。

1.1.3 硬件初始化系统配置电路

SOC 上电初始化的过程中，采样配置管脚的上下拉电阻状态确定各部分的工作模式。工作模式及配置说明如表 1-2 所示。

表1-2 工作模式及配置说明

配置管脚	配置值	工作模式说明
BOOT_SEL[1:0]	00	从 EMMC 启动，4 BIT BOOT MODE
BOOT_SEL1 芯片内部下拉	01	从 SPI NOR FLASH 启动
BOOT_SEL0 芯片内部下拉	10	从 EMMC 启动，8 BIT BOOT MODE
	11	从 SPI NAND FLASH 启动
NORMAL_MODE	0	测试模式，实际产品中不用该功能
芯片内部上拉	1	功能模式
UPDATE_MODE	0	使能 SDIO0 及 USB 烧写功能

芯片内部上拉	1	禁用 SDIO0 及 USB 烧写功能
--------	---	---------------------

须知

- SDIO1 不支持烧写功能。
- 配置管脚上下拉电阻的阻值推荐 1k Ω 。
- 使用 8bit eMMC 时，不支持 SDIO0 烧写功能。
- 配置管脚可复用为其他功能。用作其他功能与外设器件的信号管脚连接时，必须在该信号上设计上下拉电阻来确定配置管脚的初始状态。

1.1.4 FLASH 电路设计

1.1.4.1 接口介绍

SOC 控制器支持 SPI NOR FLASH、SPI NAND FLASH 和 eMMC，接口电平支持 3.3V 或 1.8V，其中：

- 外接单片 SPI NOR Flash，存储空间最大支持 256MByte，支持 1/2/4 线模式。
- 外接单片 SPI NAND Flash，存储空间最大支持 1GByte，支持 1/2/4 线模式，支持 8bit/1KB、16bit/1KB、24bit/1KB ECC Mode。
- 外接单片 eMMC，支持 eMMC4.5（最高支持 100MB/s）接口协议，支持 4/8 线模式。

1.1.4.2 信号处理

SPI NOR Flash、SPI NAND Flash

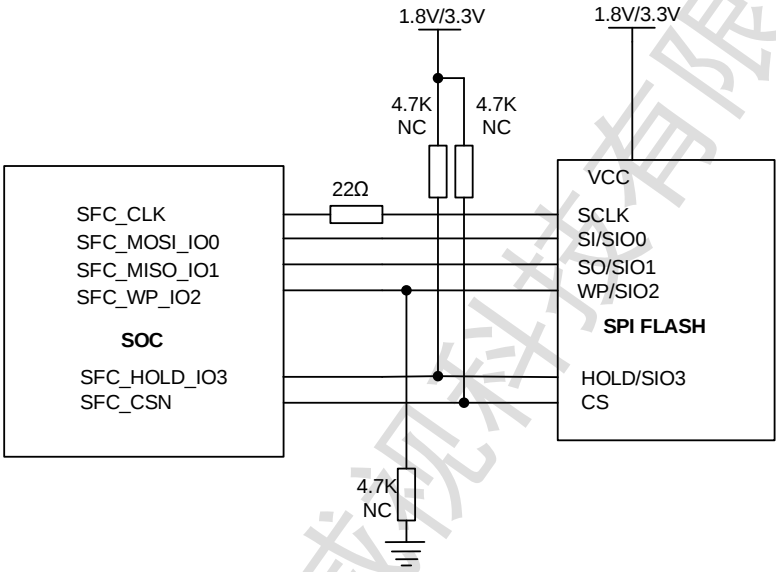
SFC 接口支持 SPI NOR Flash 和 SPI NAND Flash，两者接口设计完全一致，接口上下拉和匹配设计推荐如表 1-3 所示，连接方式推荐如图 1-5 所示。

表1-3 SPI FLASH 4 线模式匹配设计方法

信号	4 层板走线 $\leq$ 3inch 设计
SFC_CLK	源端串接 22 Ω 电阻。
SFC_MOSI_IO0	直连。
SFC_MISO_IO1	直连。

信号	4 层板走线≤3inch 设计
SFC_WP_IO2	内部下拉，直连。
SFC_HOLD_IO3	内部上拉，直连。
SFC_CSN	内部上拉，直连。

图1-5 SPI FLASH 4 线模式连接示意图



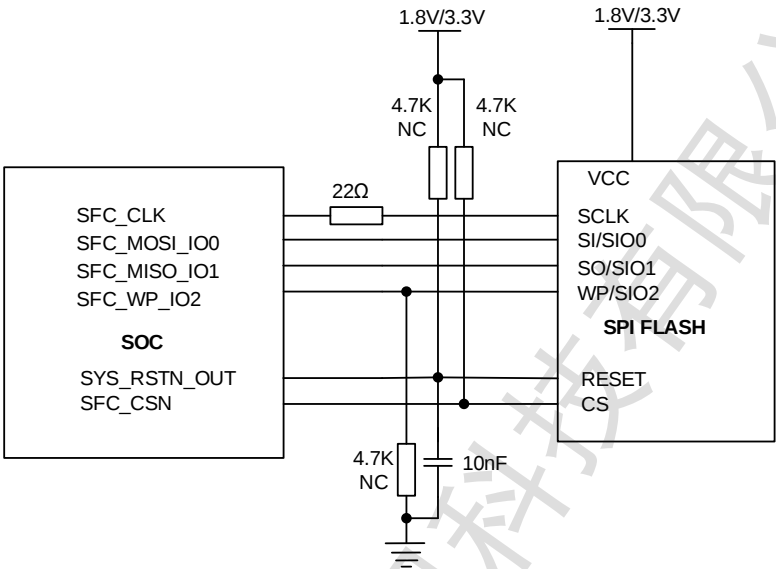
对于高可靠性需求，且无快速启动需求，可选用 1 线模式，接口上下拉和匹配设计推荐如表 1-4 所示，连接方式推荐如图 1-6 所示。

表1-4 SPI FLASH 1 线模式加外部复位匹配设计方法

信号	4 层板走线≤3inch 设计
SFC_CLK	源端串接 22Ω 电阻。
SFC_MOSI_IO0	直连。
SFC_MISO_IO1	直连。
SFC_WP_IO2	内部下拉，直连。
SYS_RSTN_OUT 或外部复位信号	将 SYS_RSTN_OUT 管脚直接或外部复位信号相与后（取决于主芯片的内/外部复位方式）接到 FLASH 的 RESET 管脚。

信号	4 层板走线≤3inch 设计
SFC_CSN	内部上拉，直连。

图1-6 SPI FLASH 1 线模式加外部复位连接示意图



须知

- 针对 1 线模式和 4 线模式，需要软硬件匹配，软件修改方式请咨询 FAE。
- 使用 1 线模式加外部复位时，Flash 的选型要求支持外部复位输入。

eMMC

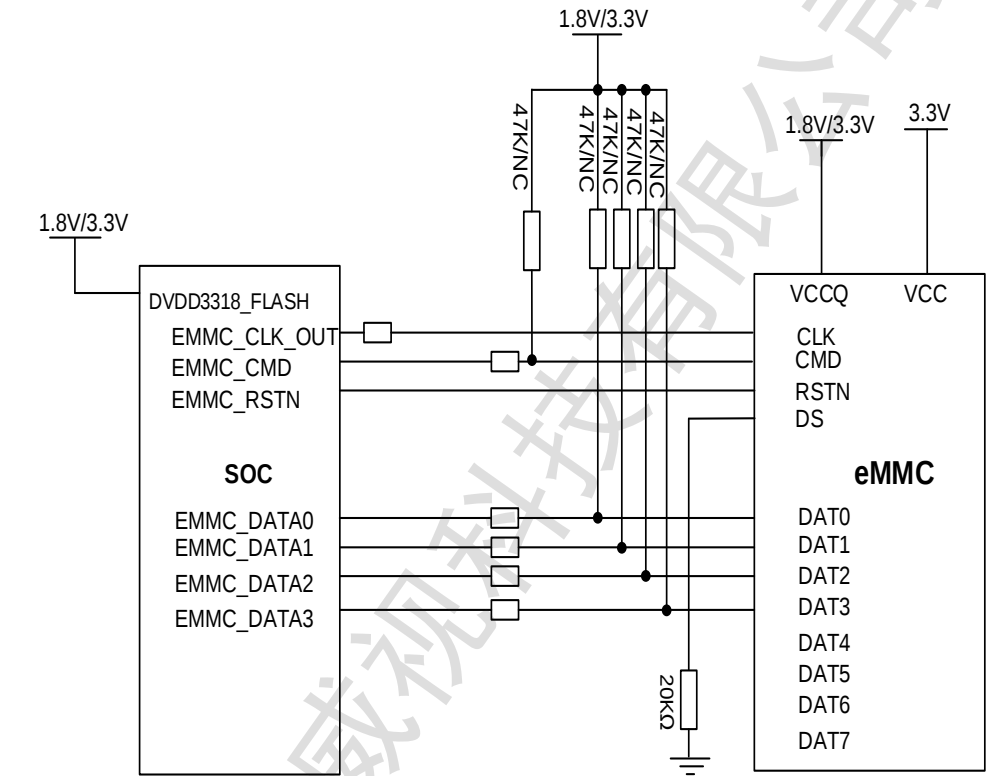
4 线 eMMC 的接口与 SFC 接口复用，二者只能选其一，使用 4 线 eMMC 接口的上下拉和匹配设计推荐如表 1-5 所示，连接如图 1-7 所示。

表1-5 4 线 eMMC 设计方法

信号	4 层板≤2inch 设计
EMMC_CLK	源端串接 22Ω电阻。
EMMC_DATA[0:3]	内部上拉，直连。
EMMC_CMD	内部上拉，直连。

信号	4 层板≤2inch 设计
EMMC_RST_N	内部上拉，直连。

图1-7 4 线 eMMC 连接示意图

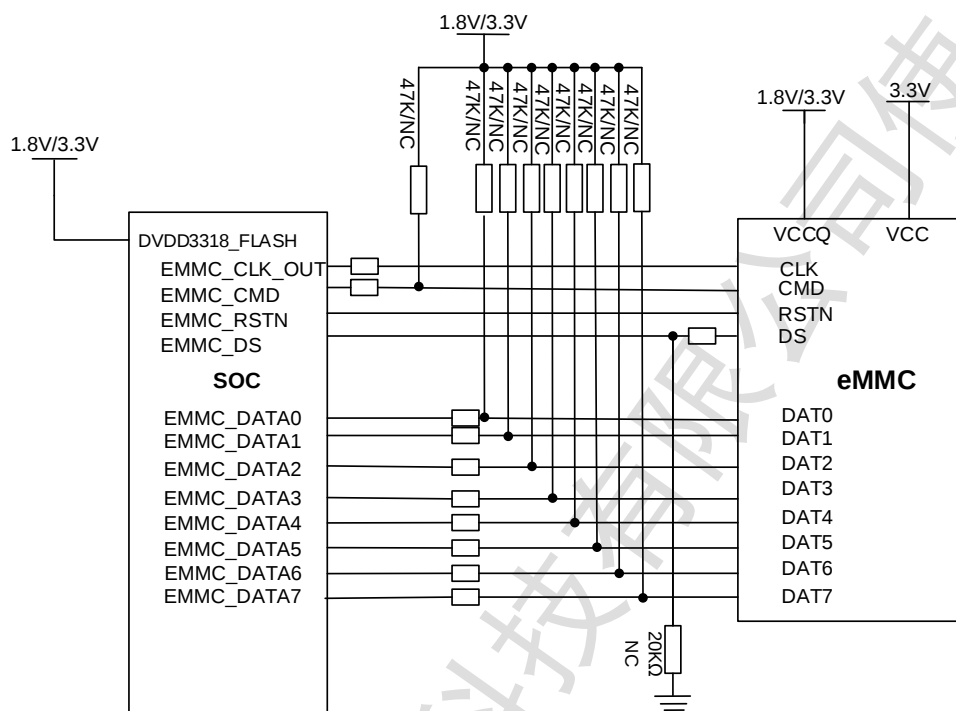


8 线 eMMC 接口的低 4bit 与 SFC 接口管脚复用，高 4bit 与 SDIO0 接口管脚复用，使用 8 线 eMMC 接口的上下拉和匹配设计推荐如表 1-6 所示，连接如图 1-8 所示。

表1-6 8 线 eMMC 设计方法

信号	4 层板≤2inch 设计
EMMC_CLK	源端串接 22Ω电阻。
EMMC_DATA[0:7]	内部上拉，直连。
EMMC_CMD	内部上拉，直连。
EMMC_RST_N	内部上拉，直连。
EMMC_DS	内部下拉，直连。

图1-8 8 线 eMMC 连接示意图



须知

- eMMC 和 SD 卡同时使用时，eMMC 只支持 4 线模式。
- eMMC 和 SD 卡同时使用时，48 管脚默认用作 eMMC_RSTN，如果需要从 SD 卡升级，SDIO0_PWREN 使能管脚一定要用 32 管脚！
- eMMC 接口部分信号和 SPI Flash 均复用在 SFC 接口上不支持同时使用。
- eMMC 接口电源支持 3.3V/1.8V 电平，其中 3.3V 条件下不支持 HS200 模式，设计时请注意评估 IO 电源与传输速率要求以及配置对应 IO 的电平。
- SDIO0 只支持到 SD2.0，如果需要 SD 卡，DVDD3318_FLASH_SDIO0 电源管脚只能接 3.3V 电源。

1.2 电源设计

说明

系统电源的设计，请参考发布包中对应硬件参考板原理图。

1.2.1 CORE 电源设计

- 芯片 CORE 电源典型电压 0.9V，支持 SVB 调压功能，CORE 电源推荐选择不小于 2A 的快速响应 DC-DC。CORE 电源的去耦电路请参考发布包中对应硬件参考板原理图和 PCB。
- 纹波噪声要求约束在 Vpp 80mV 以内。

1.2.2 IO 电源设计

芯片 GPIO 电源

- IO 电源（管脚名 DVDD33）：连接数字 3.3V 电源。
- IO 电源（管脚名 DVDD18）：连接数字 1.8V 电源。
- FE 电源（管脚名 AVDD33_FEPHY）：连接数字 3.3V 电源。
- Audio 电源（管脚名 AVDD33_AUDIO）：连接数字 3.3V 电源。
- PMC 电源（管脚名 DVDD3318_PMC）：支持 3.3V/1.8V 供电，实际连接的电源要与对接芯片的接口电平保持一致。
- IO 接口电源（管脚名 DVDD3318）：支持 3.3V/1.8V 供电，实际连接的电源要与对接芯片的接口电平保持一致。
- FLASH/SDIO0 接口 IO 电源（管脚名 DVDD3318_FLASH_SDIO0）：支持 3.3V/1.8V 供电，注意如果用 SD 卡只能接 3.3V，实际连接的电源要与对接芯片的接口电平保持一致。
- Sensor 配置管脚 IO 电源（管脚名 DVDD3318_SENSOR）：支持 3.3V/1.8V 供电，实际连接的电源要与对接芯片的接口电平保持一致。
- MIPI 接口电源（管脚名 AVDD18_MIPIRX）：仅支持 1.8V 供电
- 纹波噪声要求约束在 Vpp 70mV 以内，推荐使用非轻载高效器件。

1.2.3 DDR 电源设计

- 芯片 DDR PHY 内部时钟由独立的 PLL 产生，PLL 需要独立供电（管脚名 DDR_PLL）：通过 1K Ω @100MHz 磁珠连接数字 1.8V 电源，要求放置一个 100nF 陶瓷滤波电容，并紧靠供电管脚摆放，详细设计请参考发布包中对应硬件参考板原理图。
- 芯片 DDRIO 电源（管脚名 DDR_VDDQ）：连接数字 1.8V/1.5V 电源，纹波噪声要求约束在 Vpp 80mV 以内。DDRIO 电源的去耦电路请参考发布包中对应硬件参考板原理图和 PCB。

1.2.4 PLL 电源设计

AVDD18_PLL，要求板级必须通过 1K Ω @100MHz 磁珠对 1.8V 电源进行隔离，需要一个 100nF 陶瓷滤波电容，滤波电容应靠近管脚摆放。

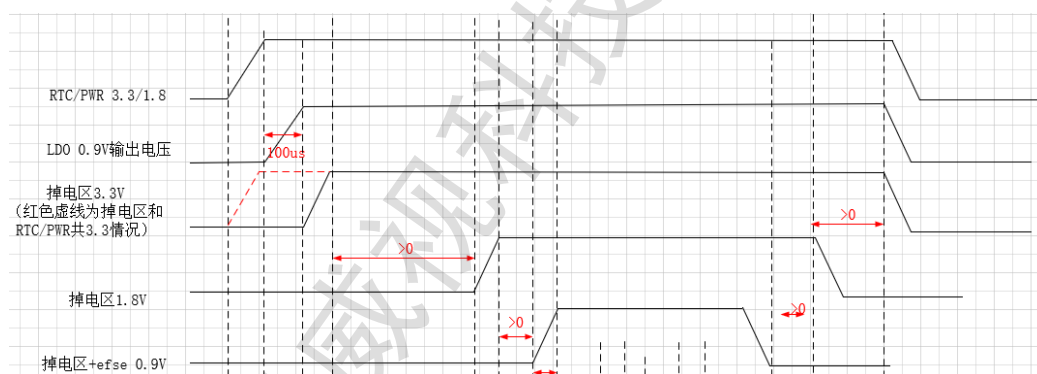
1.2.5 常电区电源设计

板级需要提供 3.3V/1.8V 常供电源到 DVDD3318_PMC 管脚，待机时不关断。DVDD3318_PMC 管脚加一个 100nF 的对地滤波电容。

1.2.6 上下电时序

SOC 上下电时序的要求，如图 1-9 所示。

图1-9 上电时序图



如果有常电区和掉电区，常电区电源管脚 DVDD3318_PMC 最先上电；
掉电区电源按 3.3V > 1.8V > 0.9V 顺序上电，且在 3.3V > 2.7V 之后，1.8V 再上电；
DDRIO 和 VDD 需要保持 100us 以上间隔；
按 0.9V > 1.8V > 3.3V 顺序下电；
以掉电区 1.8V 为起点，VDD 电源要求必须在 < 8ms 的时间内完成上电；

⚠ 注意

上下电时序要求必须遵循，否则可能引起功能异常！

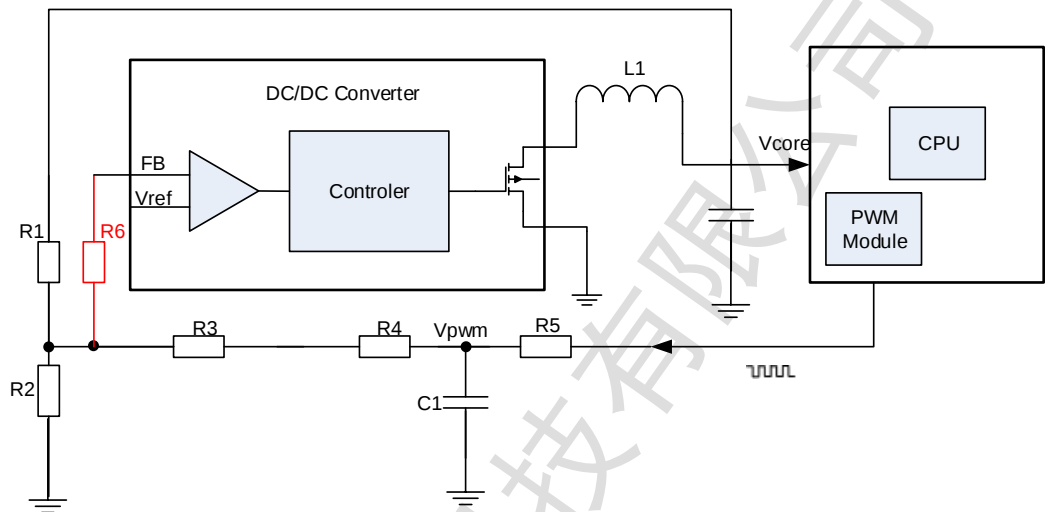
1.2.7 SVB 调压

芯片的 CORE 必须增加 SVB 调压功能，实现方式如下：

通过 SOC 的 PWM 波形输出管脚 SVB_PWM，经过 RC 滤波后输出 0~3.3V 不同电压的直流电平，该直流电平分别叠加到 CORE 和 CPU DC-DC 的反馈电压输入处，实

现 DC-DC 输出电压的调节。调节 SOC 相关的寄存器可以改变 PWM 的频率和占空比，最终可以实现动态调节 DC-DC 的输出电压，如图 1-10 所示。

图1-10 电源调压示意图



SVB 电路设计中，将 SOC PWM 管脚通过 SVB 电路连接至 CORE 电源。设计中需注意事项如下：

- SOC 的 3.3V 电源直流电压值误差范围不要超过 2%；
- DC-DC 选型要求带有 COT/ACOT 等快速响应功能的 DC-DC；
- DC-DC 的 Vref 小于 0.65V，精度偏差要求不能超过 2%；
- DC-DC 的 FB 管脚前可以根据 DC-DC 厂商的设计建议预留一个电阻 R6，用于调节 DC-DC 器件的环路稳定性。R6 的阻值，请客户与 DC-DC 厂家确认；

须知

SVB 电路中所有的电阻精度均要求 1%，电容材质必须为 X5R 或 X7R。
SVB 供电管脚 DVDD3318_FLASH_SDIO0，SVB 阻容值需要和实际供电电压相匹配。

表1-7 VDD SVB 调压 RC 参数表 1 (DVDD3318_FLASH_SDIO0 供电电压为 3.3V)

Vref(V)	R1(kohm)	R2(kohm)	R3(kohm)	R4(kohm)	R5(kohm)	C(uF)
0.45	12.7	9.76	1.96	90.9	1	2.2
0.6	15	21.5	100	10	1	2.2
0.608	13.3	19.6	4.64	90.9	1	2.2

表1-8 VDD SVB 调压 RC 参数表 2 (DVDD3318_FLASH_SDIO0 供电电压为 1.8V)

Vref(V)	R1(kohm)	R2(kohm)	R3(kohm)	R4(kohm)	R5(kohm)	C(uF)
0.45	14.3	12	0.2	56.2	1	2.2
0.6	18	30.9	1.3	69.8	1	2.2
0.608	31.6	56.2	4.32	120	1	2.2

1.3 外围接口设计建议

1.3.1 百兆网络接口 (FE 接口)

SOC 提供 1 个 FE 接口。

- AVDD33_FEPHY 为模拟 3.3V 电源管脚，可以直接连接到 3.3V 电源，管脚处放置一个 100nF 电容。
- ETH_LINK_ACT、ETH_LINK_STA 参考电源可以支持 3.3V 和 1.8V，用作驱动网口指示灯时的外部驱动电路需与所选用网口的 LED 工作要求匹配，以免无法点亮。
- RX/TX 信号上建议预留串接 2.2Ω电阻，方便网口抗差模浪涌测试调优。
- 为了满足 ESD、浪涌保护要求，建议在电路设计时在 FE PHY 电路上设计保护电路。为了避免保护器件对 FE PHY 走线信号造成影响，并能够达到良好的保护效果，建议保护器件建议选用 TVS 管，击穿电压 8kV，响应时间小于 1ns。

1.3.2 SDIO 接口设计

SOC 提供两个独立的 SDIO2.0 控制器接口，SDIO0 用作对接 SD 卡，SDIO1 用作对接 WIFI 模块。

SDIO0:

- CMD 和 DATA 预留上拉 47kΩ电阻，默认不上件，使用芯片内部上拉电阻。
- 如果用 Nor Flash 或者 Nand Flash，默认通过 48 管脚的 SDIO0_PWREN 信号做使能，能够实现 SD 卡升级功能；如果用 4bit EMMC+SD 卡，因为和 EMMC_RSTN 复用冲突，需要用 32 管脚的 SDIO0_PWREN 复用，才能实现 SD 卡升级功能。

SDIO1:

- DVDD3318_LCD 管脚外接 100nF 滤波电容到地，支持 1.8V 和 3.3V 供电，不支持 3.3V IO 和 1.8V IO 模式自动切换。
- SDIO1 接口对接 WIFI 模块并且使用 WIFI 唤醒功能时，IO 电压需要一致。

SDIO 接口匹配设计如表 1-9 所示。

表1-9 SDIO 接口匹配设计推荐

信号	4 层板走线≤4inch 设计
SDIOx_CDATA[3:0]/ SDIOx_CCMD	直连，预留 47K 上拉电阻，默认不上件。
SDIOx_CCLK	源端串接 22Ω 电阻。
SDIO0_CARD_POWER_EN	对接 SD 卡供电 MOS 开关电路。
SDIO0_CARD_DETECT	直连，预留上拉 10kΩ 到 3.3V，默认不上件。

⚠ 注意

如果 Boot_sel0 需要识别为高，且有带 SD 卡上电或者 SD 卡升级需求，SD 卡部分电路请严格参考 DEMO 板设计！

SDIO1 接口电压需与对接器件电压保持一致，否则有 IO 损坏风险！

1.3.3 USB 接口设计

SOC 支持 1 路 USB2.0。支持 Host 或者 Device，不支持 OTG。

USB2.0 模块的供电电源合并到 DVDD33，设计建议如下：

- 用作 Device 模式时，必须使用 USB_VBUS 信号，通过 10KΩ电阻与 20KΩ电阻分压后接到 USB_VBUS 管脚。
- USB2.0 端口信号串接 2.2Ω 电阻，增加 ESD 保护器件。
- ESD 保护器件按照设计产品要求进行选择，寄生电容建议小于 2pF。
- USB2.0 支持防倒灌。

1.3.4 MIPI RX 接口设计

MIPI RX 接口支持 MIPI D-PHY1.1/CSI-2，最大速率 1.5Gbps/Lane，支持 2 组 2Lane MIPI RX0/1 输入或 RX0 和 RX1 组合成 1 组 4Lane MIPIRX 输入如表 1-10 所示。

- MIPIRX 接口供电电源为 AVDD18_MIPIRX, 1.8V 供电, 管脚处放置一个 1uF 电容。
- MIPI RX 接口内置了 100Ω跨接匹配电阻, 外部无需再设计或者预留。
- MIPI RX Data 线序支持组内互换。
- 不支持差分对内 PN 信号互换。

表1-10 MIPI RX 输入

Sensor 方案	MIPI_RX0_D0/1	MIPI_RX1_D0/1
2 组 2Lane	Sensor0, 使用 MIPI_RX0_CK0N/P 采样	Sensor1, 使用 MIPI_RX1_CK1N/P 采样
1 组 4Lane	使用 MIPI_RX0_CK0N/P 采样, RX0_D0/1 和 RX1_D0/1 组合成 4lane DATA	

须知

MIPI_RX 的 CLK 和 DATA 为固定组合。

1.3.5 Sensor 配置接口设计

Sensor 的配置接口包含如下信号：

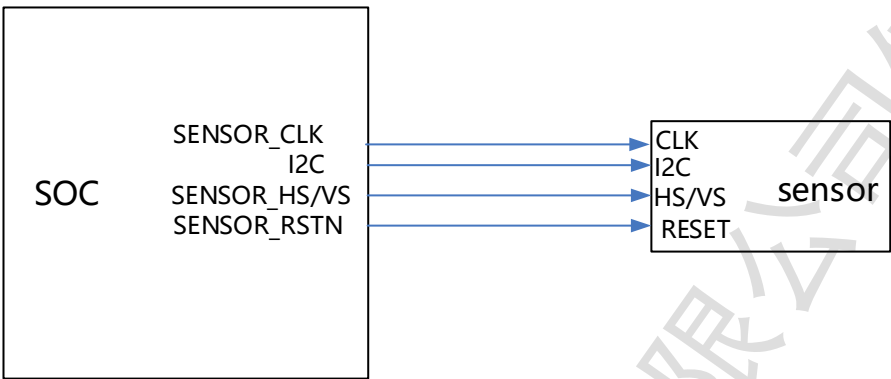
- SENSOR_RSTN、SENSOR_CLK、SENSOR_HS、SENSOR_VS。
- I2C。

各个信号的用途说明如下：

- SENSOR_RSTN 能通过配置寄存器输出复位信号，用于 Sensor 的复位。
- SENSOR_CLK 能提供各种主流 Sensor 的工作时钟。
- SENSOR_HS 和 SENSOR_VS 输出行场同步信号，用于支持“从模式”的 Sensor。

对接 Sensor 时，推荐以下接法，如图 1-11 所示。

图1-11 Sensor 配置接口接法



Sensor 配置接口设计如表 1-11 所示。

表1-11 Sensor 配置接口设计

信号	4 层板走线≤4inch 设计（1.8V IO）
SENSOR_CLK	源端串接 22Ω 电阻
SENSOR_RSTN	直连
I2C	直连，上拉 1KΩ电阻到 1.8V
SENSOR_HS/Vs	直连

须知

不同 SENSOR 输入方案对应的 SENSOR 配置接口的资源分配，推荐参考发布包中对应硬件参考板原理图的设计。

1.3.6 Video Output 接口设计

支持 1 路 SPI 屏输出。

参考电源 DVDD3318 能支持 3.3V 或 1.8V 电平标准，具体应用依据所选管脚的参考电源。

1.3.7 音频接口设计

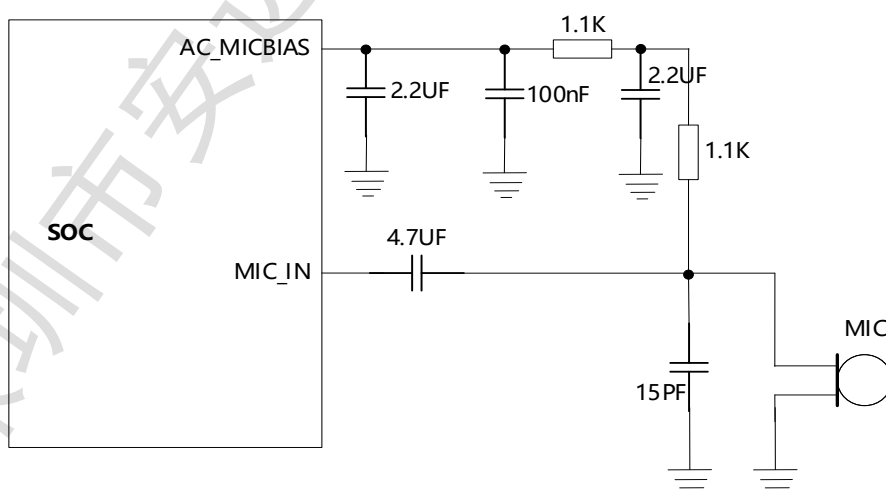
1.3.7.1 模拟音频输入接口设计

7206V10 支持 1 路音频差分输入接口，也可以作为 2 路单端输入；如果只做 1 路单端输入接 AUDIO_MIC1P，AUDIO_MIC1N 需要接 1uF 电容到 GND。支持 1 路音频输出。

- Audio 模块的模拟电源 AVDD33_AUDIO 必须使用磁珠与系统 3.3V 电源隔离，管脚处需至少放置一个 2.2uF 电容。
- AUDIO_VREF 引脚上需放置 2.2uF+100nF 的低 ESR 陶瓷电容。
- AUDIO_DECAP 引脚上需放置 2.2uF 的低 ESR 陶瓷电容。
- Audio 模块的输入接口均可作为 LINEIN 或者 MIC_IN 的输入通道。如果输入设备为无源 MIC，则需要提供 MIC_BIAS 偏置电压。如果输入设备为有源 LINE 输出设备（例如：PC），则不需要。
- 音频输入信号上的隔直电容容值推荐选择 4.7uF。
- 7206V10 提供了 1 个 MIC_BIAS 管脚，AC_MICBIAS 管脚处需要放置一个 2.2uF 电容，且需设计 π 型滤波电路，如图 1-12。
- MIC_IN 串接 4.7K 电阻实现低成本设计，省略防护 TVS 管。

具体设计请参考 DEMO 板。

图1-12 MIC 单端输入电路



1.3.7.2 数字音频接口设计

I2S 接口

SOC 支持 1 路 1bit 的 I2S IN/OUT 接口，IN 和 OUT 共用 CLK，支持 TDM 模式，最多可外接 16 路 MIC，I2S 主模式和从模式的连接方式，分别如图 1-13 和图 1-14 所示。

图1-13 I2S 主模式连接方式

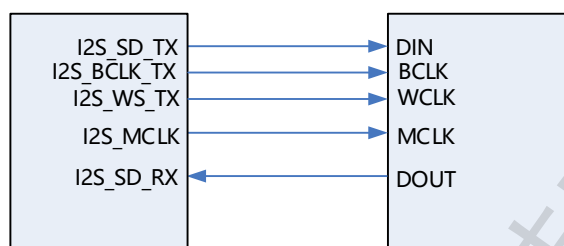
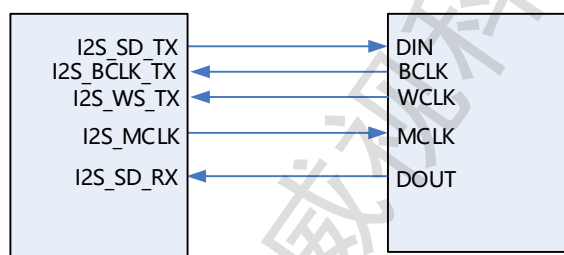


图1-14 I2S 从模式连接方式



PDM 接口

SOC 支持 1 路 PDM 接口，2 个 DATA 信号，最多可接 4 个 MIC。

须知

I2S IN、PDM 与模拟音频输入不支持同时使用。

1.3.8 RTC 设计

芯片支持内置 RTC，内置 RTC 在固定分频模式，计时精度主要取决于外置晶体，请综合考虑晶体频率误差、温度漂移等因素，选择合适的晶体；对计时精度要求较严格的产品，建议选择外置高精度集成 RTC。

RTC 模块的供电电源为 AVDD_BAT 或者 DVDD18，当 DVDD18 上电后，RTC 电路由内置 switch 从 AVDD_BAT 供电切换到 DVDD18 供电，以节省 AVDD_BAT 对接的电池电量。设计建议如下：

- AVDD_BAT 要求供电电压范围为 1.6V~3.6V。
- 外接 32.768KHz 的晶体。
- 只要使用 PMC 功能或 PMC 管脚的复用功能，RTC 模块必须供电，RTC 时钟电路必须正常设计。
- 如果对 RTC 功耗要求较高，有适配独立的低功耗 RTC 芯片，详询 FAE。

AVDD_BAT 电流说明如表 1-12 所示。

表1-12 AVDD_BAT 电流

场景	电流
典型值（常温，AVDD_BAT=3.3V）	8uA

1.3.9 PMC 电路设计

1.3.9.1 接口介绍

PMC 模块用于实现系统的开机、关机、待机和唤醒，各管脚功能说明如下：

表1-13 PMC 管脚功能说明

PIN Name	功能描述
DVDD3318_PMC	PMC 模块供电电源
PWR_BUTTON	1.第一次上电，检测到 200ms 低电平，即拉高 PWR_SEQ 2.在待机状态下，可通过 PWR_BUTTON 中断拉高 PWR_SEQ，实现待机唤醒 3.在开机状态下，长按 PWR_BUTTON 超过 10.2s 会强制关机重启

PIN Name	功能描述
PWR_SEQ	1.第一次上电默认低电平，可通过 PWR_BUTTON 或者 PWR_STARTUP 中断拉高，控制电源使能实现掉电区上下电控制 2.待机状态默认低电平，可通过 PWR_BUTTON、PWR_WAKEUP 和 RTC 中断拉高，控制电源使能实现掉电区上下电控制
PWR_WAKEUP	1.在待机状态下，可通过 PWR_WAKEUP 中断拉高 PWR_SEQ，实现待机唤醒 2.默认上升沿触发，可以在开机状态下进行重新配置
PWR_RSTN	1.PMC 模块只有处于非复位状态（PWR_RSTN 为高），逻辑才会正常运转；复位生效后复位 PMC 模块

设计要求如下：

- PMC 模块的供电电源为 DVDD3318_PMC，接不下电的 3.3V/1.8V 电源，管脚处放置一颗 100nF 电容。
- 只要使用 PMC 功能或 PMC 管脚的复用功能时，RTC 模块必须供电，RTC 时钟电路必须正常设计。

1.3.9.2 待机场景下 RTC&PMC 的电源方案

在不同的待机工作状态下，RTC 和 PMC 有如下几种组合，不同组合下电源的接法要求方案如表 1-14 所示。

表1-14 不同待机工作状态下 RTC 和 PMC 电源方案

方案	工作状态		电源管脚处理方式	
	RTC	PMC	AVDD_BAT	DVDD3318_PMC
方案 1	不使用	不使用	悬空	接系统 3.3V/1.8V 电源
方案 2	使用	不使用	接电池或者常电区电源 (1.6V~3.6V)	接系统 3.3V/1.8V 电源

方案 3 (锂电池方案)	使用	使用	接常电区电源 (1.6V~3.6V)	接常电区电源
方案 4 (纽扣电池方案)	使用	使用	接纽扣电池	接常电区电源

1.3.10 LSADC 接口

芯片支持 3 路模拟信号输入进行 AD 转换，仅支持 3.3V 电平输入。管脚均可复用为 GPIO 信号。LSADC 管脚不支持防倒灌，相关设计应用请注意！

1.3.11 SPI、I2C 接口

- 芯片有多组 SPI 接口和 I2C 接口，用于控制外设。
- I2C 信号需接外接上拉电阻。
- 具体复用关系请查看《PINOUT》。

须知

I2C 上拉电源必须与选用 IO 的供电电源保持一致。

1.3.12 PWM 接口

- 芯片有多路通用 PWM，用于对接外设。
- 具体复用关系请查看《PINOUT》。

1.3.13 UART 接口

- 芯片有多组 UART 接口，部分 UART 接口支持 4 线模式。
- UART0 固定用于系统调试。
- 具体复用关系请查看《PINOUT》。

1.4 IO 特殊说明

SOC 上电后 PMC 管脚默认为 PMC 功能，系统启动后可配置为 GPIO 功能，如果 PMC 模块正常工作（供电），掉电区下电后配置的 GPIO 输出状态也可以保持不变（如果需要相关配置，详情请咨询 FAE）。

2 PCB 设计建议

2.1 层叠和布局

2.1.1 层叠

四层 PCB 叠层信息：

- PCB 典型材料 FR-4。
- L1、L4 为走线层，L2 为地层，L3 为电源层，L1 参考 L2，L4 参考 L3。
- L1 和 L4 铜箔厚度为 0.5oz+plating，L2 和 L3 铜箔厚度为 1oz，PCB 板厚度典型值为 1.6mm。
- 四层板 L1 与 L2、L3 与 L4 间距为 4mil。
- 层叠和铜箔厚度变化后，需要重新计算走线阻抗。

2.1.2 单板布局

详细设计请参考发布包中对应硬件设计。

2.2 小系统 PCB 设计

2.2.1 小系统电源

CORE 电源

- SOC CORE 电源布局建议每路电源尽量靠近芯片的电源输入管脚区域，避免走长路径，以铺电源平面实现。

- CORE 电源布线最窄处要求 2A 的通流能力，注意信号过孔导致的电源布线变窄的地方需要满足电流需求。
- 去耦电容的 GND 尽量靠近 EPAD，请参考硬件发布包中参考设计的设计放置。
- SVB 控制电路请完全参考 SOC 的硬件参考设计，采用 DC-DC 时，CORE 的 DC-DC 调整电路中 RC 靠主芯片放置，且走线要包地处理。

详细设计请参考发布包中对应硬件设计。

DDR 电源

- DDR_VDD 电源可以和 CORE 电源合并，避免走长路径，以铺电源平面实现；去耦电容请参考硬件发布包中参考设计的设计放置。
- DDR_VDDQ 支持 1.8V/1.5V 电源，去耦电容的 GND 尽量靠近 EPAD，请参考硬件发布包中参考设计的设计放置。
- DDR_PLL 需要使用磁珠与 1.8V 电源隔离，靠近芯片管脚处放置 1 个 100nF 的电容，电容的 GND 尽量靠近 EPAD。

详细设计请参考发布包中对应硬件设计。

PLL 电源设计

- AVDD18_PLL 与数字 1.8V 电源之间用磁珠 ($1k\Omega@100M$) 进行隔离，串接的磁珠和滤波电容尽量靠近电源管脚摆放；去耦电容的 GND 尽量靠近 EPAD。

2.2.2 晶体电路设计

晶体的 XIN、XOUT、RTC_XIN、RTC_XOUT 信号走线全程做包地处理，晶体信号的包地尽量多打地过孔，并保证这些信号有完整的参考。晶体电路下方不能有高速信号穿过。

2.2.3 DDR 信号设计

不需要外挂 DDR 颗粒。

2.2.4 Flash 设计

SPI Flash

建议 PCB 设计采用以下原则：

- CLK 串阻靠近主控放置；

- 建议所有信号走线分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面；
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径；
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性；
- 相邻信号走线间距不小于 3H；
- SFC_CSN、SFC_MOSI_IO0、SFC_MISO_IO1、SFC_WP_IO2、SFC_HOLD_IO3 的线长以 CLK 的线长为基准，误差控制在 $\pm 300\text{mil}$ 以内，信号走线长度不大于 3inch。

eMMC

建议 PCB 设计采用以下原则：

- CLK 串阻靠近主控放置，DATA 及 CMD 串阻靠近主控与 eMMC 中间放置，兼顾读写方向；
- DS 信号串阻尽量靠近 eMMC 放置；
- 建议所有信号走线分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面；
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径；
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性；
- 相邻信号走线间距不小于 3H；
- EMMC_DATA[0:7]、EMMC_CMD 的线长以 EMMC_CLK 的线长为基准，误差控制在 $\pm 300\text{mil}$ 以内，信号走线长度不大于 2inch。

2.3 典型外围接口 PCB 设计建议

2.3.1 FE 接口设计

FE 接口信号设计要求如下：

- 差分对串接电阻靠近变压器端摆放；
- 避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面；
- 变压器和网口连接器附近区域的地需要挖空处理。为了防雷击，网口地使用 1nF/2kV 电容和单板 GND 单点连接；

- 差分对内尽量等长，长度偏差控制在 $\pm 5\text{mil}$ 以内，差分阻抗控制在 $100\Omega \pm 10\%$ 。

2.3.2 SDIO 接口设计

SDIO 接口信号线设计建议：

- 串接匹配电阻尽量靠近 SOC 芯片放置；
- 建议所有信号走线分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面；
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径；
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性；
- 相邻信号走线间距不小于 $3H$ ；
- SDIO_DATA[3:0]、SDIO_CMD 的线长以 SDIO_CLK 的线长为基准，误差控制在 $\pm 300\text{mil}$ 以内，信号走线长度不超过 4inch 。

2.3.3 USB 接口设计

USB2.0 信号设计要求如下：

- 串阻靠近连接器放置；
- 避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面；
- 避免邻近其他信号，并保证与其他信号的间距不小于 $5H$ ；
- 差分信号对内走线长度偏差控制在 $\pm 5\text{mil}$ 以内，差分阻抗控制在 $90\Omega \pm 10\%$ ；
- 差分信号线走线长度不大于 5inch ，走线尽量少用过孔，过孔附近需要放置一个 GND 过孔，以获取更好的信号质量。

2.3.4 MIPI RX

MIPI RX 信号设计要求如下：

- 避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面；
- 避免邻近其他信号，并保证与其他信号的间距不小于 $5H$ ；
- 对间以采样差分时钟为参考，等长控制在 $\pm 300\text{mil}$ 以内，走线长度不大于 4inch ，差分对内 P/N 等长控制在 $\pm 5\text{mil}$ 以内；
- MIPI RX 差分对的 PCB 走线控制差分阻抗 $100\Omega \pm 10\%$ ；

- 差分信号走线尽量少用过孔，过孔附近需要放置一个 GND 过孔，以获取更好的信号质量。

2.3.5 Video Output 接口设计

- 避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面；
- 时钟信号与其他信号保持 3H 间距；
- 信号线长度以时钟线为基准，尽量保持等长；
- 走线长度不超过 8inch。

2.3.6 音频接口设计

2.3.6.1 音频输入接口

模拟音频电路走线设计要求如下：

- AVDD33_AUDIO 与数字 3.3V 电源之间必须使用 $1K\Omega@100MHz$ 磁珠进行隔离，并在靠近芯片管脚的位置至少放置一个 2.2uF 电容；
- AUDIO_VREF 管脚上就近放置 2.2uF+100nF 的低 ESR 陶瓷电容；
- AUDIO_VCAP 管脚上就近放置 10uF 的低 ESR 陶瓷电容；
- AUDIO_MICBIAS 管脚上就近放置 2.2uF 的低 ESR 陶瓷电容；
- 音频输入信号上的隔直电容靠近芯片放置， π 型滤波电路靠近 MIC 座子端摆放；
- 建议靠近 MIC 座子端放置一颗 pF 级电容以增强 MIC 抗干扰能力；

2.3.6.2 音频输出接口

音频输出走线设计要求如下：

- 输出信号要求走线长度尽可能短，走线全程包地处理，并且相邻信号之间的 GND 过孔均匀放置。
- 输出信号要求必须参考完整 GND 平面且参考平面“干净”，不与其他信号尤其是数字信号公用回流路径。

详细设计请参考发布包中对应硬件设计。